



Wieder im Rampenlicht

Oder: das Comeback des Koaxialkabels in der Bildverarbeitung

Matthias Schaffland
 Ein bemerkenswertes Comeback erfährt gerade das Koaxialkabel in der Bildverarbeitung. Obwohl, oder besser gerade weil dieses Medium schon seit Jahrzehnten im Einsatz ist, bietet es sich als Übertragungsmedium für die nächste Generation von Kameras mit hohen Anforderungen an Geschwindigkeit, Echtzeitverhalten und Kabellängen an.

Zu einer modernen Kameraschnittstelle gehört aber auch ein durchdachtes und vollständiges Protokoll, das die Art und Weise definiert, wie sowohl Streamingdaten als auch Kontrollinformationen zwischen Kamera und Bildverarbeitungsrechner ausgetauscht werden.

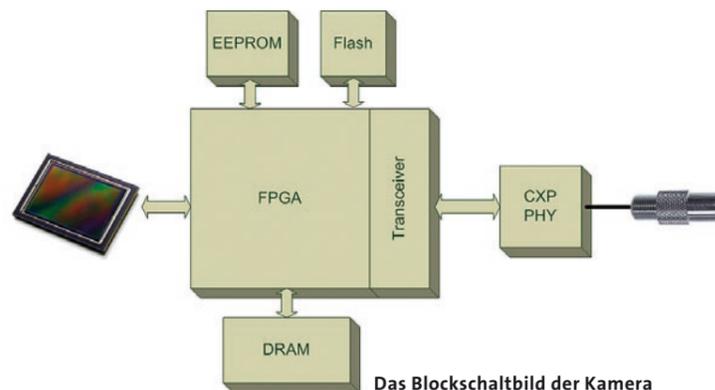
Mit CoaXPress (CXP) stellte Adimec zur Vision 2009 einen Standard zur Diskussion, der diese Anforderungen erfüllen sollte. Seit Ende 2010 wacht die Japan Industrial Imaging Association (JIIA) über die Einhaltung des Standards sowie dessen Weiterentwicklung. Wie sieht nun beispielsweise eine typische Kamera mit CXP-Interface aus?

Das Design beschleunigen

Die Bilddaten werden, wie üblich, aus einem Sensor ausgelesen und z. B. in einer applikationsspezifischen Stufe eines FPGA vorverarbeitet. Dieses FPGA bereitet dann zusätzlich die Daten gemäß der CXP-Spezifikation vor und sendet sie über schnelle Transceiver an den CoaXpress spezifischen PHY, der die Ankopplung an das Coax-Kabel übernimmt. Er bietet einen Full Duplex Link mit bis zu 6,25 GBit zum Framegrabber (v. a. Streaming) und 20 MBit vom Framegrabber, die zur Übertragung von Kommando-

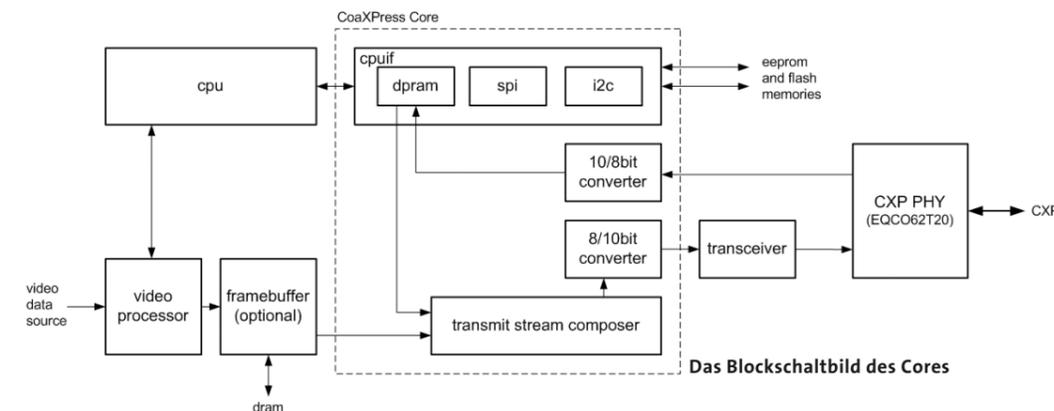
daten vorgesehen sind. Außerdem ist er für die Ein- bzw. Auskopplung einer 13-W-Spannungsversorgung zuständig, die über das Koaxkabel realisiert werden kann. Externes Flash und EEPROM kann zur Speicherung der FPGA und Systemkonfiguration verwendet werden. Je nach Funktionsumfang ist externes RAM ebenfalls sinnvoll. Ähnlich wie für GigE Vision, bietet Sensor to Image einen FPGA-Core-Framework an, mit dem das eigene Gerätedesign beschleunigt werden kann.

Das Blockschaltbild (siehe Bild unten) zeigt den grundsätzlichen Aufbau eines Systems unter Verwendung des CXP Cores. Als Framework dient ein VHDL Top-Level Design, das die Schnittstelle zur Hardware herstellt, also zu den Pins des FPGAs und den daran angeschlossenen Komponenten wie Speicher, Flash, EEPROM, der Datenquelle z. B. einem Bildsensor und der Datenschnittstelle, einer Art „CXP PHY“.



Das Blockschaltbild der Kamera

Dipl.-Ing. (FH) Matthias Schaffland,
 Projektmanager bei der Sensor to Image GmbH
 in Schongau



Das Blockschaltbild des Cores

CoaXPress Kommunikation übernimmt und eine Programmierschnittstelle für Konfigurations- und Bilddaten bereitstellt.

Die Entwicklung beschleunigen

Wie sieht nun eine mögliche Vorgehensweise aus, wenn man im ersten Schritt die Technik und die bereits zur Verfügung stehenden Mittel kennenlernen und testen will, um dann im zweiten Schritt ein eigenes Gerät entwerfen zu können? Am einfachsten ist es dazu mit dem CoaXpress-Core Evaluation-Kit zu beginnen. Dieses Kit besteht aus einem Referenzdesign, das sowohl Kamera als auch die Framegrabber-Seite implementiert. Als Hardware wird das Xilinx SP605 Evalboard zusammen mit einem von Sensor to Image entwickelten CXP-Transceiver AddOn genutzt. Das Board kann gleichzeitig als Sender und Receiver betrieben werden, d. h. das Design arbeitet mit einer externen Loopbackschleife.

Natürlich ist es möglich, den Datenpfad aufzutrennen und einen handelsüblichen CoaXpress-Framegrabber zu nutzen, um die Daten nicht am VGA-Ausgang des SP605 Boards, sondern an einem PC zu darzustellen. FPGA-seitig sind die Kamera und Empfängerseite komplett implementiert und können teilweise angepasst werden können. Somit ist es möglich den gesamten Design-Flow durchzuspielen.

Anders als bei GigE Vision ist aber das Debugging (noch) nicht so einfach, da es keinen Packetanalyzer gibt. Um diese Lücke zu schließen, entwickelt das CXP-Konsortium ein Snooper Board, um Datenpakete aufzeichnen und am PC mittels Wireshark analysieren zu können. Die erste Version basiert ebenfalls auf einem Xilinx SP605 Board, später ist eine Virtex6 basierte Plattform geplant, um die vollen 6,25 GBit pro Link ausnutzen zu können.

Für die Entwicklung von CoaXPress kompatiblen Bildverarbeitungs-komponenten ist



Am einfachsten ist es, mit dem CoaXpress-Core Evaluation-Kit zu beginnen

es also nicht notwendig alles selbst zu implementieren. Mithilfe von FPGA IP Cores und Referenzdesigns, kann der Entwicklungsprozess deutlich beschleunigt werden.

SENSOR TO IMAGE
www.vfv1.de/35814660